

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-253199

(43)Date of publication of application : 12.11.1991

(51)Int.Cl.

H04Q 3/52

H04Q 11/04

(21)Application number : 02-049209

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 02.03.1990

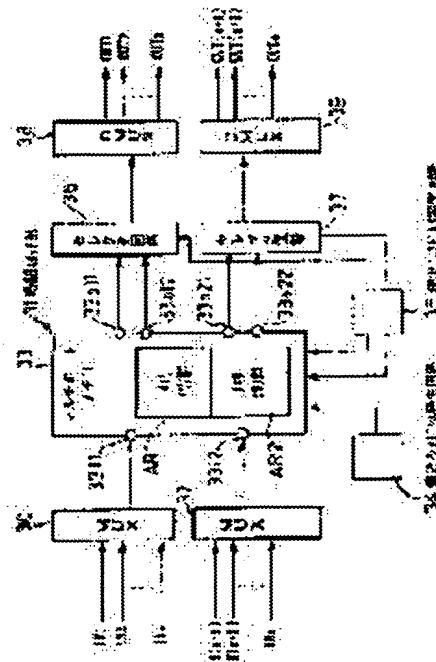
(72)Inventor : HIROSE KUNIHARU

(54) TIME SLOT CONVERSION CIRCUIT

(57)Abstract:

PURPOSE: To make the size of actual constitution small and to simplify the constitution even when lots of number of highways are employed by using a multi-port memory so as to set a line.

CONSTITUTION: Multiplexer circuits 30, 32 apply time division multiplex to an input digital signal of plural highways and converts the signals into plural 1st multiplex signals, and a storage means 33 is provided with write address generating means 34 generating plural write addresses each of which is specific to each of plural sets of channel information subject to time division multiplex and plural read address generating means generating a readout address for each of plural sets of channel information. Then a storage means stores tentatively plural sets of channel information subject to in time division onto the plural 1st multiplex signals in write addresses via plural write ports and reads the information from the plural read pots according to the read address and gives the read information to demultiplex circuits. The demultiplex circuits 38, 39 demultiplex plural 2nd multiplex signals into an output digital signal on plural highways. Thus, even when lots of highways are employed, the constitution is not especially made large nor complicated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-253199

⑤ Int.Cl.⁵

H 04 Q 3/52
11/04

識別記号

1 0 1 A

庁内整理番号

8843-5K

④ 公開 平成3年(1991)11月12日

8226-5K H 04 Q 11/04

E

審査請求 未請求 請求項の数 1 (全7頁)

⑬ 発明の名称 タイムスロット変換回路

⑭ 特 願 平2-49209

⑮ 出 願 平2(1990)3月2日

⑯ 発 明 者 廣 瀬 邦 治 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑰ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑱ 代 理 人 弁理士 鈴木 敏 明

明 細 書

1. 発明の名称

タイムスロット変換回路

2. 特許請求の範囲

複数ハイウェイの入力デジタル信号上に時分割多重されている複数のチャネル情報に対して、その時間的又は空間的順序を入れ替えて複数ハイウェイの出力デジタル信号に変換するタイムスロット変換回路において、

上記複数ハイウェイの入力デジタル信号を時分割多重して複数の第1の多重信号に変換する多重回路と、

上記複数の第1の多重信号上に時分割多重されている複数のチャネル情報毎に固有の書込みアドレスを発生する複数の書込みアドレス発生手段と、
複数のチャネル情報毎に読出しアドレスを発生する複数の読出しアドレス発生手段と、

上記複数の第1の多重信号上に時分割多重されている複数のチャネル情報を、複数の書込みポートを介して上記書込みアドレスに一時記憶し、一

時記憶された複数のチャネル情報を複数の読出しポートより上記読出しアドレスに従って読出し、複数の第2の多重信号を出力する記憶手段と、

上記複数の第2の多重信号を複数ハイウェイの出力デジタル信号に分離する分離回路とを設けたことを特徴とするタイムスロット変換回路。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、ハイウェイから別のハイウェイへの通過ルートの設定、交換機からハイウェイへのルート設定、あるいは、ハイウェイから交換機へのルート設定に用いられるタイムスロット変換回路に関するものである。

[従来の技術]

従来のタイムスロット変換回路の基本的構成を第2図に示す。

第2図において、複数のハイウェイ I N 1 ~ I N m を通過するデジタル信号は、多重回路 (M U X) 1 において時分割多重化された後、時間スイッチ部 2 に与えられる。時間スイッチ部 2 は、R

特開平3-253199(2)

AM (random access memory) 構成のメモリ3と、メモリ3に対する書き込みアドレスを発生する書き込みアドレス発生回路4と、メモリ3に対する読出しアドレスを発生する読出しアドレス発生回路5とからなり、設定したい内容に応じて書き込みアドレス及び読出しアドレスの変化の仕方を異ならせて、多重化信号におけるタイムスロットの時間軸上の位置を変化させた多重化信号を出力する。タイムスロットが入れ替えられた多重化信号は、分離回路(DMUX)6に与えられ、この分離回路6によって多重分離され、複数のハイウェイOUT1~OUTmに出力される。

このようにしてハイウェイIN1~INmとハイウェイOUT1~OUTmとの回線設定がなされる。

ところで、回線設定に供するハイウェイの数mが多い場合には、多重回路1による多重度が大きくなってタイムスロット時間が短くなり、メモリ3のアクセスタイムが短いことが求められる。しかし、入手しやすいメモリ3のアクセスタイムでは

応じられない程度に、ハイウェイの数mが多いことも生じ、この場合には、従来、第3図に示すタイムスロット変換回路が用いられていた。

第3図において、複数のハイウェイIN1~INxを通過するデジタル信号は、多重回路9において時分割多重化された後、時間スイッチ部10に与えられ、他の複数のハイウェイIN(x+1)~INmを通過するデジタル信号は、多重回路11において時分割多重化された後、時間スイッチ部10に与えられる。

この時間スイッチ部10は、4個のRAM構成のメモリ12~15と、メモリ12及び13に共通の書き込みアドレス発生回路16と、メモリ14及び15に共通の書き込みアドレス発生回路17と、メモリ12及び13に共通の読出しアドレス発生回路18と、メモリ14及び15に共通の読出しアドレス発生回路19とを備えている。

多重回路9からの多重化信号はメモリ12及び14に与えられ、メモリ12に対しては書き込みアドレス発生回路16が発生した書き込みアドレスに

従って書き込まれ、メモリ14に対しては書き込みアドレス発生回路17が発生した書き込みアドレスに従って書き込まれる。他の多重回路11からの多重化信号はメモリ13及び15に与えられ、メモリ13に対しては書き込みアドレス発生回路16が発生した書き込みアドレスに従って書き込まれ、メモリ15に対しては書き込みアドレス発生回路17が発生した書き込みアドレスに従って書き込まれる。

メモリ12及び13に格納された多重化信号は、読出しアドレス発生回路18から与えられる読出しアドレスに従って読み出されてタイムスロットの入替えが行われ、それぞれセレクト回路20に選択入力として与えられる。メモリ14及び15に格納された多重化信号は、読出しアドレス発生回路19から与えられる読出しアドレスに従って読み出されてタイムスロットの入替えが行われ、それぞれセレクト回路21に選択入力として与えられる。

セレクト回路20には読出しアドレス発生回路

18からタイムスロット毎に選択入力を変化させる選択制御信号が与えられ、セレクト回路20は選択出力を分離回路22に与える。同様に、セレクト回路21には読出しアドレス発生回路19からタイムスロット毎に選択入力を変化させる選択制御信号が与えられ、セレクト回路21は選択出力を分離回路23に与える。各分離回路22、23はタイムスロットが入れ替えられた、しかも選択混合された多重化信号を分離して対応するハイウェイ群OUT1~OUTx、OUT(x+1)~OUTmに出力する。

例えば、ハイウェイ群IN1~INx内のいずれかのハイウェイからの信号をハイウェイ群OUT1~OUTxのいずれかのハイウェイに与える場合には、多重回路9、メモリ12、セレクト回路20、分離回路22のルートを経て行ない、ハイウェイ群IN1~INx内のいずれかのハイウェイからの信号をハイウェイ群OUT(x+1)~OUTmのいずれかのハイウェイに与える場合には、多重回路9、メモリ14、セレクト回路2

特開平3-253199(3)

1、分離回路23のルートを経て行なう。

このようにしてハイウェイが多い場合にも、回線を設定することができる。

〔発明が解決しようとする課題〕

しかしながら、従来装置によれば、第2図及び第3図の比較から明らかなように、ハイウェイの数 m が第2図に示す基本構成で応じられない程大きくなると、実際上の構成が大型、複雑になるという問題があった。すなわち、ワンチップメモリのエリアを分けてメモリ12～15として用いることができないので、ハイウェイの数が基本構成で応じられる数より2倍程度に大きくなると、倍程度の複雑、大型化ではなく、4倍程度の複雑、大型化になっていた。図示は省略しているが、ハイウェイの数が基本構成で応じられる数より n (n は3以上) 倍程度になると、 n^2 倍程度の複雑、大型化になる。

本発明は、以上の点を考慮してなされたものであり、回線設定に供するハイウェイの数が多い場合にも、構成を特に大型、複雑化することがない

読出しポートより読出しアドレスに従って読出し、複数の第2の多重信号を出力する記憶手段とを備えている。さらに、複数の第2の多重信号を複数ハイウェイの出力デジタル信号に分離する分離回路とを備えている。

〔作用〕

本発明において、多重回路は、複数ハイウェイの入力デジタル信号を時分割多重して複数の第1の多重信号に変換して記憶手段に与える。この記憶手段には関連して、複数の第1の多重信号上に時分割多重されている複数のチャネル情報毎に固有の書込みアドレスを発生する複数の書込みアドレス発生手段と、複数のチャネル情報毎に読出しアドレスを発生する複数の読出しアドレス発生手段とが設けられている。従って、記憶手段は、複数の第1の多重信号上に時分割多重されている複数のチャネル情報を、複数の書込みポートを介して書込みアドレスに一時記憶し、一時記憶された複数のチャネル情報を複数の読出しポートより読出しアドレスに従って読出して分離回路に与える。

タイムスロット変換回路を提供しようとするものである。

〔課題を解決するための手段〕

かかる課題を解決するため、本発明においては、複数ハイウェイの入力デジタル信号上に時分割多重されている複数のチャネル情報に対して、その時間的又は空間的顺序を入れ替えて複数ハイウェイの出力デジタル信号に変換するタイムスロット変換回路を、以下の各要素で構成した。

すなわち、複数ハイウェイの入力デジタル信号を時分割多重して複数の第1の多重信号に変換する多重回路を備えている。また、複数の第1の多重信号上に時分割多重されている複数のチャネル情報毎に固有の書込みアドレスを発生する複数の書込みアドレス発生手段と、複数のチャネル情報毎に読出しアドレスを発生する複数の読出しアドレス発生手段と、複数の第1の多重信号上に時分割多重されている複数のチャネル情報を、複数の書込みポートを介して書込みアドレスに一時記憶し、一時記憶された複数のチャネル情報を複数の

そして、分離回路は、複数の第2の多重信号を複数ハイウェイの出力デジタル信号に分離する。

かくして、入力デジタル信号のタイムスロットが変換された出力デジタル信号が得られる。

〔実施例〕

以下、本発明の一実施例を図面を参照しながら詳述する。

第1図は本発明の一実施例の構成を示すブロック図である。

この実施例においても、複数のハイウェイ $IN_1 \sim IN_x$ を通過するデジタル信号は、多重回路30において時分割多重化された後、時間スイッチ部31に与えられ、他の複数のハイウェイ $IN_{(x+1)} \sim IN_m$ を通過するデジタル信号は、多重回路32において時分割多重化された後、時間スイッチ部31に与えられる。

この時間スイッチ部31は、1個のマルチポートメモリ33と、このメモリ33に対する書込みアドレスを発生する書込みアドレス発生回路34と、メモリ33に対する第1及び第2の読出しア

特開平3-253199 (4)

ドレスを発生する1個の読出しアドレス発生回路35とを備えている。

この実施例のマルチポートメモリ33は、2個の入力ポート33i1及び33i2と、2個ずつ2組の計4個の出力ポート33o11及び33o12、33o21及び33o22とを備えており、また、1個のアドレスによって特定されるエリアが2個存在するものである。すなわち、2個のメモリエリア群AR1及びAR2を備えている。

多重回路30からの多重化信号はメモリ33の第1の入力ポート33i1に与えられ、多重回路32からの多重化信号はメモリ33の第2の入力ポート33i2に与えられる。第1の入力ポート33i1に入力された多重化信号は、書込みアドレス発生回路34が発生した書込みアドレスに従って特定される、第1のメモリエリア群AR1のいずれかのエリアに書き込まれ、第2の入力ポート33i2に入力された多重化信号は、書込みアドレス発生回路34が発生した書込みアドレスに従って特定される、第2のメモリエリア群AR2

33o21から出力されてセクタ回路37に第1の選択入力として与えられ、その第2の読出しアドレスに従って特定される、第2のメモリエリア群AR2のいずれかのエリアに書き込まれている多重化信号は第4の出力ポート33o22から出力されてセクタ回路37に第2の選択入力として与えられる。

これらセクタ回路36及び37に対する各選択制御信号も、読出しアドレス発生回路35が出力する。

読出しアドレス発生回路35は、セクタ回路36に対しては、第1の入力ハイウェイ群IN1～INx内のハイウェイと後述する第1の出力ハイウェイ群OUT1～OUTx内のハイウェイとの回線設定を実行させる場合には、メモリ33の第1の出力ポート33o11からの多重化信号を選択させ、第2の入力ハイウェイ群IN(x+1)～INm内のハイウェイと第1の出力ハイウェイ群OUT1～OUTx内のハイウェイとの回線設定を実行させる場合には、メモリ33の第2の出

のいずれかのエリアに書き込まれる。

この実施例でも、時間スイッチ部31の機能であるタイムスロット位置の入替えは、書込みアドレスと、読出しアドレスとの変化順序の違いによって実行される。

読出しアドレス発生回路35が発生した第1の読出しアドレスに従って特定される、第1のメモリエリア群AR1のいずれかのエリアに書き込まれている多重化信号は第1の出力ポート33o11から出力されてセクタ回路36に第1の選択入力として与えられる。第1の読出しアドレスに従って特定される、第2のメモリエリア群AR2のいずれかのエリアに書き込まれている多重化信号は第2の出力ポート33o12から出力されてセクタ回路36に第2の選択入力として与えられる。

同様に、読出しアドレス発生回路35が発生した第2の読出しアドレスに従って特定される、第1のメモリエリア群AR1のいずれかのエリアに書き込まれている多重化信号は第3の出力ポート

力ポート33o12からの多重化信号を選択させるように制御する。

また、読出しアドレス発生回路35は、セクタ回路37に対しては、第1の入力ハイウェイ群IN1～INx内のハイウェイと後述する第2の出力ハイウェイ群OUT(x+1)～OUTm内のハイウェイとの回線設定を実行させる場合には、メモリ33の第3の出力ポート33o21からの多重化信号を選択させ、第2の入力ハイウェイ群IN(x+1)～INm内のハイウェイと第2の出力ハイウェイ群OUT(x+1)～OUTm内のハイウェイとの回線設定を実行させる場合には、メモリ33の第4の出力ポート33o22からの多重化信号を選択させるように制御する。

各セクタ回路36、37から出力されたタイムスロットが入れ替えられた、しかも選択混合された多重化信号は、対応する分離回路38、39に与えられる。各分離回路38、39は入力された多重化信号を分離して対応するハイウェイ群OUT1～OUTx、OUT(x+1)～OUTm

特開平3-253199(5)

に出力する。

第4図は第1実施例の回線設定動作例を示す説明図である。なお、説明を簡単にするため、ハイウェイの数 m を8個としている。

この第4図は、入力側の各ハイウェイIN1～IN8をそれぞれ、出力側のハイウェイOUT2、OUT3、OUT8、OUT7、OUT6、OUT1、OUT4、OUT5に回線設定する場合を示している。

ハイウェイIN1～IN4上の情報a～dは多重回路30によって多重化されてa～dの順にメモリ33の第1の入力ポート33i1に与えられて記憶される。ハイウェイIN5～IN8上の情報e～hは多重回路32によって多重化されてe～hの順にメモリ33の第2の入力ポート33i2に与えられて記憶される。

書込みアドレス発生回路34及び読出しアドレス発生回路35は、設定すべき状態に応じた書込みアドレス及び読出しアドレスを発生してタイムスロットを入れ替える。これにより、この例の場

合には、第1の出力ポート33o11からbab cの順に情報が出力され、第2の出力ポート33o12からf e f gの順に情報が出力され、第3の出力ポート33o21からd a d cの順に情報が出力され、第4の出力ポート33o22からh e h gの順に情報が出力される。

セクタ回路36は、第2入力、第1入力、第1入力、第2入力の順に選択動作してf a b gの順に情報を出力する。セクタ回路37は、第2入力、第2入力、第1入力、第1入力の順に選択動作してh e d cの順に情報を出力する。

かくして、例えば、入力ハイウェイIN1の情報aが出力ハイウェイOUT2に供給されるように、回線が所定の通りに設定される。

従って、この実施例によれば、マルチポートメモリを用いて回線設定を行なうようにしたので、ハイウェイの数 m が多い場合にも実際上の構成を小型、簡単なものとすることができる。従来との比較で言えば、ハイウェイの数 m が同じであれば構成は1/2程度で済む。

なお、上述の実施例においては、2個の入力ポート及び4個の出力ポートのマルチポートメモリを用いたものを示したが、入力ポートが1個、出力ポートが2個のマルチポートメモリを2個用いて第1図の構成を実現するようにしても良い。

また、上述の実施例においては、メモリの入力ポートと出力ポートとの比が1:2のものを示したが、1:3以上であっても同様に構成することができる。この場合には、ハイウェイを3群以上にグループ化することを要する。なお、實際上、1個のマルチポートメモリでは、その入出力ポート数がある程度に限定されているため、1個のマルチポートメモリでは、かかる変形例を実現することは難しいが、複数のマルチポートメモリを用いることで実現可能である。

〔発明の効果〕

以上のように、本発明によれば、 y (y は2以上) 個の多重化信号のそれぞれに対して、タイムスロットを入れ替えた y 個の多重化信号を得、すなわち、計 y^2 個の多重化信号を得、これら多重

化信号を適宜選択することで回線設定を行なうようにしたので、ハイウェイの数が多くなっても相対的に小型、簡易な構成のタイムスロット変換回路を実現することができる。

4. 図面の簡単な説明

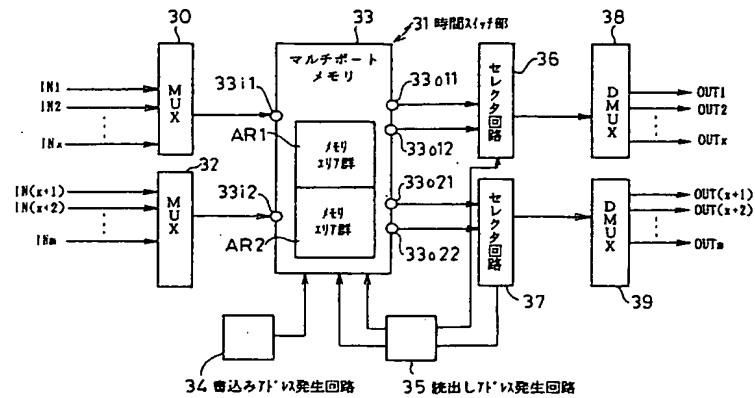
第1図は本発明によるタイムスロット変換回路の一実施例を示すブロック図、第2図は従来回路の基本的構成を示すブロック図、第3図はその拡張構成を示すブロック図、第4図は上記実施例の回線設定例を示す説明図である。

30、32…多重回路(MUX)、31…時間スイッチ部、33…マルチポートメモリ、34…書込みアドレス発生回路、35…読出しアドレス発生回路、36、37…セクタ回路、38、39…分離回路(DMUX)。

特許出願人 沖電気工業株式会社
代理人 鈴木敏明

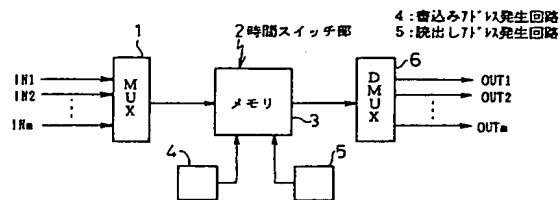


特開平3-253199(6)



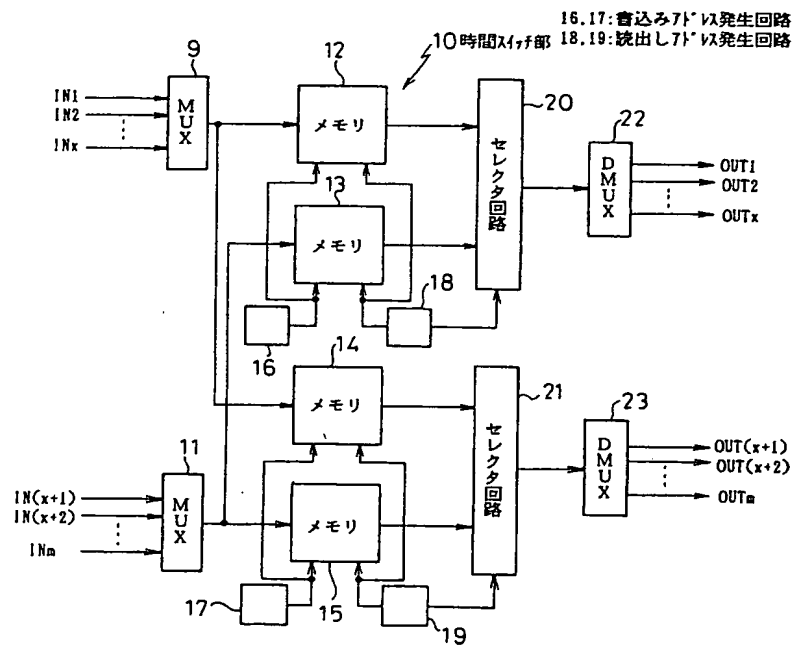
実施例の7' d'図

第 1 図



従来の基本構成を示す7' d'図

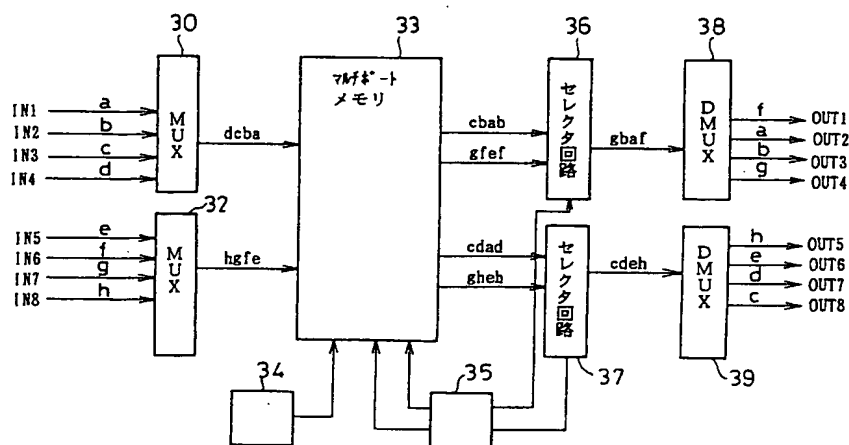
第 2 図



nの数が大きい場合の従来構成を示す7' d'図

第 3 図

特開平3-253199(7)



実施例の回路設定例の説明図

第4図